

Correction du TD "replica 1"

Le 6502

1. Bus d'adresses et de données
 données : 8 fils → bus 8 bits
 adresses : 16 fils → $2^{16} = 64k$ adresses
2. Ce circuit est un microprocesseur (pas de ports d'E/S, bus accessibles sur les pattes du circuit)
3. Rôle des résistances R1 à R4
 résistances de tirage à l'état "1", état récessif qui peut être forcé à 0 par un état 0 dominant (sortie à collecteur ouvert/drain ouvert, ou interrupteur à la masse par exemple)

Étude des circuits mémoires

1. Taille et nature des circuits
 U3 : 27C64 circuit mémoire porte (ROM → pas de signal RW) de capacité :
 2^{13} adresses de 8 bits = 8k octets (13 fils d'adresses, 8 fils de données)
 U4 : 62256 circuit RAM (signal WE en patte 27 connecté à U6D-11) de capacité :
 2^{15} mots de 8 bits : 32k octets (15 adresses, 8 données)
2. Espace occupé par U4
 actif quand $A_{15}=0 \Rightarrow 0x0000 \rightarrow 0x7FFF$
3. Identification de U5
 U5 est un démultiplexeur 1/8 qui permet de sélectionner 8 pages mémoire de 4k à partir de 0x8000 jusqu'à 0xFFFF. Lorsqu'une page est sélectionnée (selon l'état de A15, A14, A13, A12) la sortie correspondante de U5 passe à 0 (état repos à 1).

$$\overline{Y0} = \overline{A15} \cdot \overline{A14} \cdot \overline{A13} \cdot \overline{A12} \quad \overline{Y4} = A15 \cdot A14 \cdot \overline{A13} \cdot \overline{A12}$$

$$\overline{Y1} = \overline{A15} \cdot \overline{A14} \cdot \overline{A13} \cdot A12 \quad \overline{Y5} = \overline{A15} \cdot A14 \cdot \overline{A13} \cdot A12$$

$$\overline{Y2} = \overline{A15} \cdot \overline{A14} \cdot A13 \cdot \overline{A12} \quad \overline{Y6} = A15 \cdot A14 \cdot A13 \cdot \overline{A12}$$

$$\overline{Y3} = \overline{A15} \cdot \overline{A14} \cdot A13 \cdot A12 \quad \overline{Y7} = A15 \cdot A14 \cdot A13 \cdot A12$$
4. Équation de sortie de U6C
 U6A et U6C forment un ET, d'où sur la sortie de U6C, patte 8 :

$$U6-8 = \overline{Y6} \cdot \overline{Y7}$$

$$U6-8 = \overline{Y6 + Y7}$$

$$U6-8 = \overline{(A12 + \overline{A12}) \cdot A15 \cdot A14 \cdot A13}$$

$$U6-8 = A15 \cdot A14 \cdot A13 = \overline{CE} = \overline{OE}$$
5. Espace occupé par U3 : défini par l'activation des signaux CE et OE de U3 (lorsque $A_{13}=A_{14}=A_{15}=1$) l'espace mémoire occupé par U3 est donc 0xE000 → 0xFFFF

Étude de U2

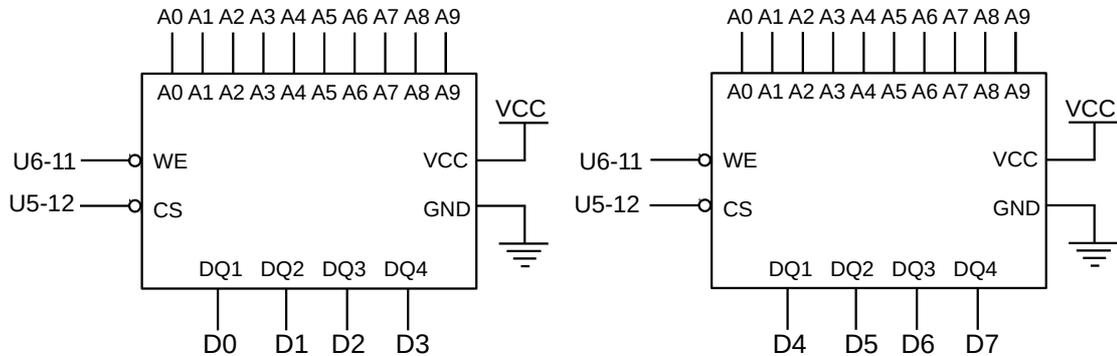
1. Nombre de registres adressables
 2 entrées "Register Select" (RS0 et RS1) → $2^2 = 4$ combinaisons → 4 registres adressables.
2. Emplacements occupés en mémoire
 CS2 actif pour page 0xDxxx, CS0 actif si A4 à 1, CS1 toujours actif.
 Le circuit est actif pour les adresses : (les "X" indiquent des états indifférents)

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	0	1	X	X	X	X	X	X	X	1	X	X	RS1	RS0

Il y a 9 lignes d'adresses non prises en compte donc les 4 registres vont apparaître $2^9=512$ fois dans l'espace mémoire sous la forme de 128 blocs de 16 adresses dans la page 0xDxxx (lorsque A4 est à 0 le circuit n'est pas actif)

Extension de l'espace mémoire

1. capacité des 2114
lecture de la doc : organisation 1024 x 4 bits = 4096 bits = 4 k bits
2. nombre minimal de circuits : bus de 8 bits donc 2 circuits au minimum
3. espace mémoire correspondant : 1024 x (4 bits + 4 bits) = 1 k octets
4. schéma minimum pour 2 x 2114



5. Bilan de l'espace utilisé : 4 k octets, pour 1 k octets utile (le bloc de 1k est répété 4 fois)
6. Utilisation optimale de l'espace : pour obtenir 4 k octets de mémoire il est nécessaire d'utiliser 4 fois plus de circuits, soit 8 boîtiers 2114.
7. Il est nécessaire de découper en 4 l'espace de 4k, c'est à dire générer 4 signaux "chip select" (CS0, CS1, CS2, CS3) lorsque U5-12 est actif selon les valeurs de A10 et A11

CS0 est actif lorsque U5-12 est actif et que A10 et A11 sont à 0 :

$$\overline{CS0} = \overline{A10} \cdot \overline{A11} \cdot \overline{U5-12}$$

$$\overline{CS1} = \overline{A10} \cdot A11 \cdot \overline{U5-12}$$

$$\overline{CS2} = A10 + \overline{A11} + U5-12$$

De la même façon :

$$\overline{CS1} = \overline{A10} + A11 + U5-12$$

$$\overline{CS2} = A10 + \overline{A11} + U5-12$$

$$\overline{CS3} = \overline{A10} + \overline{A11} + U5-12$$

NB : Les signaux CSx sont actifs à 0 sur les 2114

Pour le câblage, on utilise 4 fois le schéma ci-dessus (question 4) en remplaçant les signaux U5-12 par les signaux de sélection précédents :

$\overline{CS0}$ pour le premier bloc de 1 ko (2 premiers circuits 2114 → B000 à B3FF)

$\overline{CS1}$ pour le deuxième bloc de 1 ko (2 circuits 2114 suivants → B400 à B7FF)

$\overline{CS2}$ pour le troisième bloc de 1 ko (adresses B800 à BBFF)

$\overline{CS3}$ pour le dernier bloc de 1 ko (adresses BC00 à BFFF)

(Les autres branchements sont identiques à ceux du schéma de la question 4)

8. Pour les circuits 2102, le câblage est même dans son principe (4 sous-pages de 1 ko : mêmes signaux de sélection), à ceci près que pour constituer un bloc de 1 ko il faut 8 circuits en parallèle, chacun gérant un bit de donnée (relier pour cela les pattes data in et data out sur une des ligne du bus de donnée).

La totalité des 4 k octets sera donc remplie par 32 boîtiers 2102 organisés en 4 blocs de 8 boîtiers, ce qui était prévisible : les boîtiers 2102 ont une capacité 4 fois plus faible que les 2114.

Remarque : en pratique il est nécessaire de buffériser (amplifier) les signaux distribués sur les circuits lorsqu'un grand nombre de boîtiers sont ainsi attaqués en parallèle.